

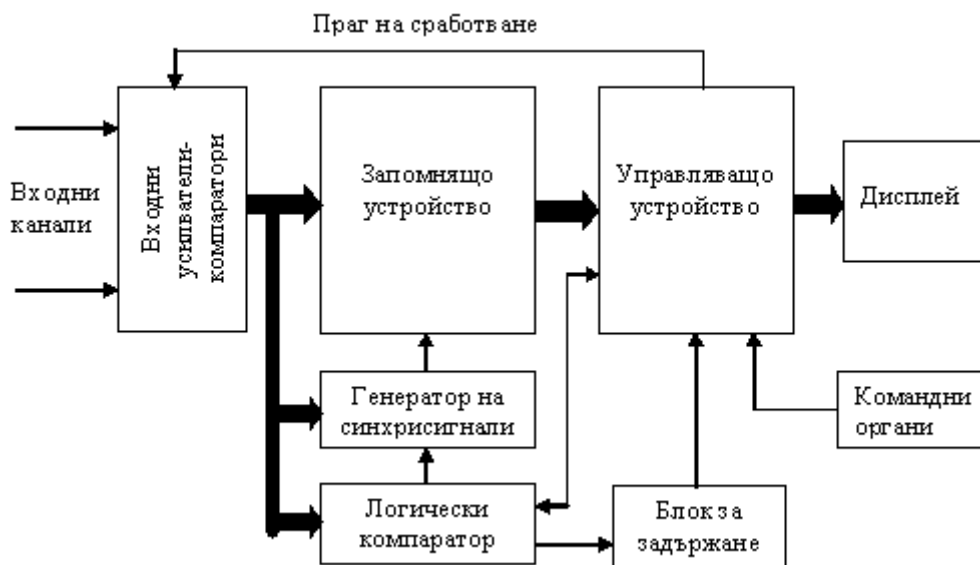
Проверка (тестиране) на микропроцесорни устройства и системи, реализирани чрез програмируема ИС. Използване на метода на логическия анализ и вграден логически анализатор.

1. Метод на логическия анализ

Логическият анализ е метод за наблюдение на работата на апаратната част на електронна апаратура с програмно управление. Използването му се определя от особеностите при диагностика на сложни електронни цифрови и микропроцесорни системи и предполага реализирането на следните възможности:

- Едновременно регистриране на логически състояния в голям брой точки от схемата в продължителен времеинтервал;
- Регистриране на последователности от логически състояния при появата на редки, еднократни събития;
- Регистриране на състоянията на контролните точки за определен интервал от време, предшестващо избрано от потребителя събитие;
- Анализирание на резултатите и представянето им в удобен за оператора вид;

Логическият анализатор представлява измервателен уред, предназначен за събирането на данни от електронни устройства, обработката на тези данни и представянето им в удобен за оператора вид. Той работи независимо от изследваното устройство, без да се намесва в работата му. Обобщена блокова схема на логически анализатор е представена на фигурата по-долу.



По време на работа логическият анализатор се намира в един от трите основни режима на работа – настройка, регистрация и анализ-индикация.

В режим на настройка посредством командните органи операторът програмира за работа логическият анализатор. От голямо значение при логическия анализ е избора на сигналите, които ще се анализират. Като правило, когато се диагностицира електронно устройство с микропроцесорно управление, за анализ се вземат сигналите от микропроцесора, които в съкратен вид съдържат и отразяват работата на устройството.

Входните вериги на логическите анализатори, съдържащи усилвател-компаратори, не трябва да влияят върху работата на изследваното устройство. Затова те притежават голямо входно съпротивление и малък входен капацитет. Входните

усилватели-компаратори квантуват сигналите по две нива – логическа нула и логическа единица, според зададения им праг на сработване. За намаляване на входния капацитет и индуктивност те могат да се изнасят извън анализаторите и да се оформят в отделен блок, разположен близо до изследваното устройство.

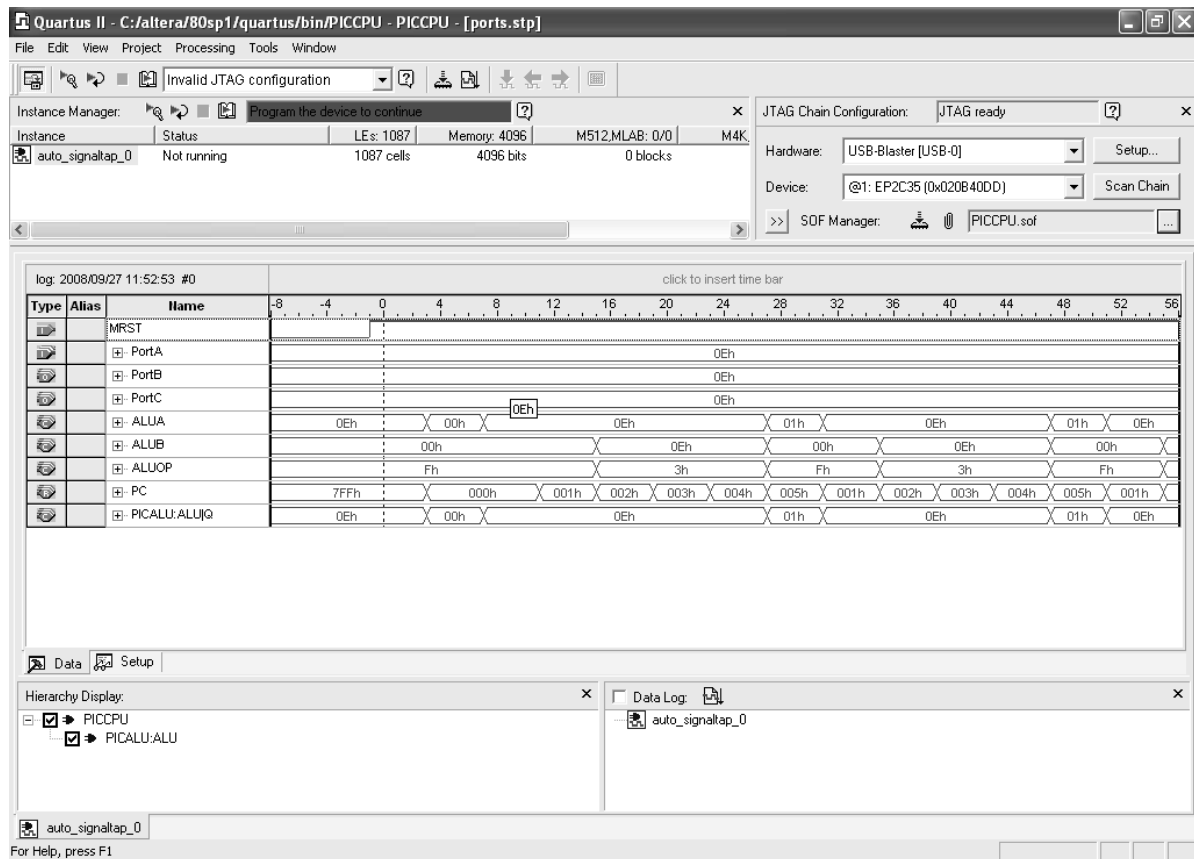
Запомнящото устройство на логическия анализатор съхранява в себе си определен брой цифрови отчети от всеки канал. Неговата разредност, обем (капацитет) и бързодействие определят техническите характеристики на логическия анализатор – брой на информационните канали, дължина на логическите последователности и максимална тактова честота. Логическият анализатор предварително се програмира за откриване на зададени последователни състояния на входните сигнали, които служат за репер в заснетите логически състояния.

Генераторът на синхросигнали изработва тактови сигнали за запис на входната информация в запомнящото устройство. Тактовете за запис могат да бъдат изработвани от самия логически анализатор, а могат да постъпват и от наблюдаваното устройство. Първият режим на работа се нарича асинхронен, а втория – синхронен. Логическите анализатори, в които е реализиран асинхронен начин на запис, се наричат анализатори на времеви съотношения. Логическите анализатори, имащи синхронен режим, се наричат анализатори на логически състояния. Съвременните логически анализатори притежават и двата режима на работа.

Целенасоченото търсене на неизправност в електронно цифрово устройство с помощта на логически анализатор е свързано с преглед и анализ на отделни участъци от целия информационен поток. Обемът (капацитетът) на запомнящото устройство задава ограничена дължина на изследваната информация, т.нар. „прозорец“ на логическия анализатор, и големината на изследвания участък, съответстващ на прозореца. Задаването на „прозореца“ върху даден участък се извършва, след като операторът определи този участък. За целта се избира характерно за този участък логическо събитие, наречено определител или репер. Това събитие се задава в логическия компаратор. Същевременно операторът задава в блока за задържане отстоянието на репера от края на участъка. След завършване на тази процедура логическият анализатор записва входната информация в запомнящото устройство. Щом настъпи зададеното логическо събитие (репер), логическият анализатор извършва толкова записа, колкото е съдържанието на блока за задържане, и спира въвеждането на входната информация.

След регистрирането на входните сигнали в логическия анализатор се извършва техния анализ и изобразяване на екрана на дисплея. Най-разпространената форма на изобразяване на данните представляват времедиаграмите. На екрана едновременно се изобразяват няколко времедиаграми на избраните сигнали. Обикновено момента на поява на репера се означава на екрана с вертикална прекъсната линия. Операторът има възможност да изменя мащаба на времевата ос, броя на изобразяваните сигнали, да премества изобразявания участък и др.

На фигурата по-долу е показан примерен вид на времедиаграмите на анализирани сигнали получени чрез ВЛА SignalTap II.



Друг вид представяне на информацията, който се използва при логическите анализатори, е табличния. Последователността на данните се изобразява чрез нули и единици, като за по-лесното им възприемане от оператора могат да се използват двоични, осмични или шестнадесетични числа или комбинация от тях. Например при диагностиката на микропроцесорна система е удобно адресите и информационните сигнали да се представят в шестнадесетичен вид на екрана, а управляващите сигнали – в двоичен. По-долу е даден пример за табличен начин на изобразяваната информация, което съответства на времедиаграмите показани на предходната фигура.

Key Signal Name

- 0 = MRST
- 1 = PortA
- 2 = PortB
- 3 = PortC
- 4 = ALUA
- 5 = ALUB
- 6 = ALUOP
- 7 = PC
- 8 = PICALU:ALU|Q

Data Table:

	Signals->								
	0	1	2	3	4	5	6	7	8 sample
-8	0	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
-7	0	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
-6	0	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
-5	0	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
-4	0	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
-3	0	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
-2	0	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
-1	1	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
0	1	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
1	1	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
2	1	0Eh	0Eh	0Eh	0Eh	00h	Fh	7FFh	0Eh
3	1	0Eh	0Eh	0Eh	00h	00h	Fh	000h	00h
4	1	0Eh	0Eh	0Eh	00h	00h	Fh	000h	00h
5	1	0Eh	0Eh	0Eh	00h	00h	Fh	000h	00h
6	1	0Eh	0Eh	0Eh	00h	00h	Fh	000h	00h
7	1	0Eh	0Eh	0Eh	0Eh	00h	Fh	000h	0Eh
8	1	0Eh	0Eh	0Eh	0Eh	00h	Fh	000h	0Eh
9	1	0Eh	0Eh	0Eh	0Eh	00h	Fh	000h	0Eh
10	1	0Eh	0Eh	0Eh	0Eh	00h	Fh	000h	0Eh

Наличието на значителни функционални възможности при съвременните логически анализатори обуславя сложно управление и наличие на висококвалифициран оператор. Като правило работата с логическите анализатори се извършва с клавиатурата (мишката на персоналния компютър), а операторът получава обратна информация, указания, списък на командите и друга информация чрез дисплея на анализатора.

2. Работа с ВЛА (Вграден Логически Анализатор) SignalTap II

Логическите анализатори, които представляват отделен измервателен уред имат следните по-важни недостатъци:

- Сравнително висока цена;

- Невъзможност за наблюдение на логическото състояние на вътрешни точки от електронно устройство;

Тези недостатъци се явяват предимства при използването на т.нар. вградени логически анализатори (Embedded Logic Analyzer). Една от фирмите производителки на програмируеми СГИС Altera Corporation предлага вградения логически анализатор (ВЛА) SignalTap II. Друга фирма Xilinx, също голям производител на програмируеми СГИС, е създала подобен логически анализатор с име ChipScope Pro.

ВЛА представляват IP (Intellectual property, интелектуална собственост) модул създаден с езиците Verilog или VHDL, който може да се вмъкне в текущия проект (създаденото електронно устройство).

Що се отнася до SignalTap II с него се работи по следния начин:

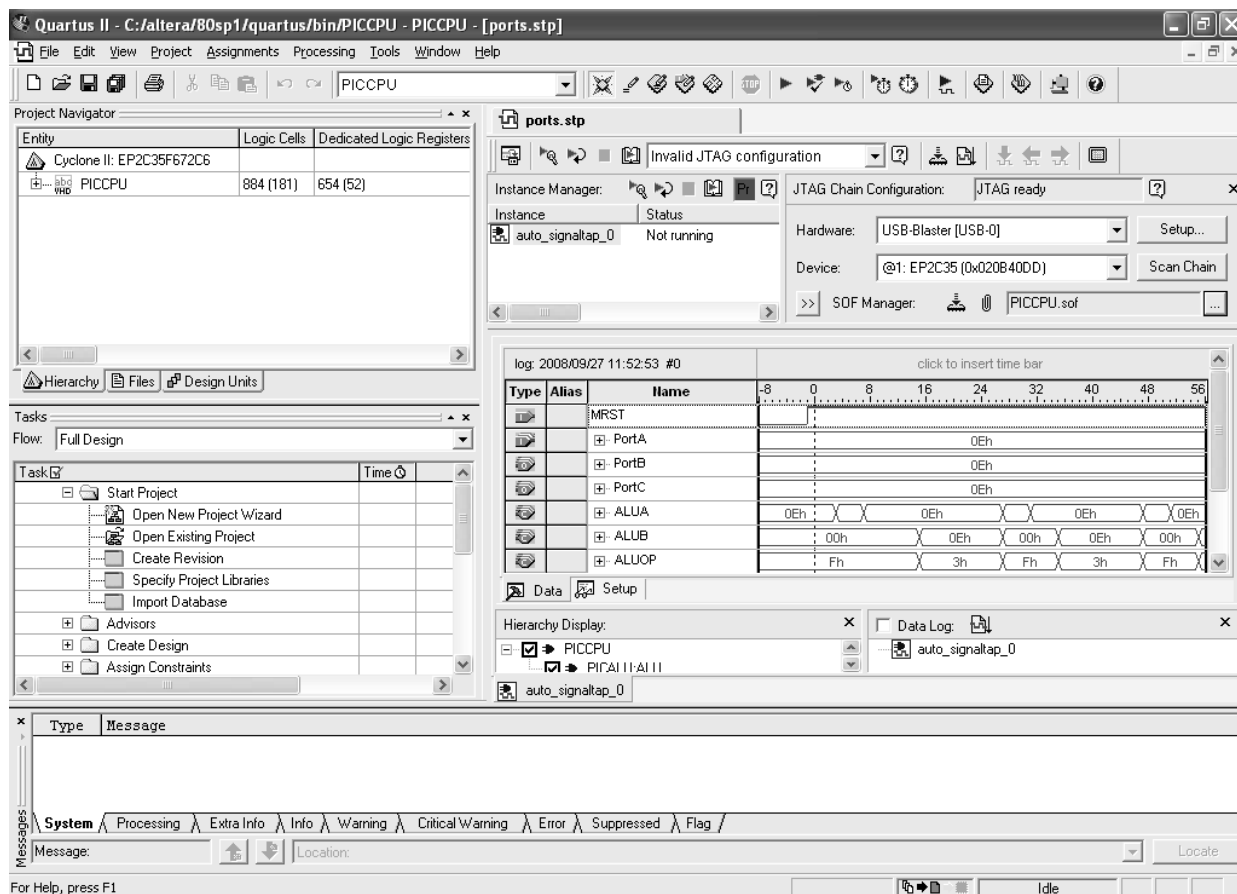
- Първо трябва да се създаде ВЛА. Това може да стане, чрез вмъкване в текущия проект на файл с разширение .stp;

- Необходимо е да се извършат необходимите настройки в .stp файла като например задаване на източника на тактови сигнали, определяне на сигналите подлежащи на регистриране, избиране на репера от който ще започне записа на логическите състояния и т.н.;

- Следващия етап е компилирането на текущия проект (електронното устройство заедно с ВЛА);

- След успешното компилиране е необходимо да се извърши запис (да се програмира) в използвана СГИС;

- Последните два етапа са регистрирането на логическото състояние на избраните сигнали и последващия им анализ, който се извършва от оператора.



ВЛА SignalTap II е част от програмата Quartus® II създадена от американската фирма Altera Corporation. На фигурата по-горе е представен екран на който се виждат менютата на Quartus® II Web Edition. Това представлява разновидност на програмата Quartus® II, която е безплатна и е достъпна за зареждане от Интернет сайта на фирмата производител.