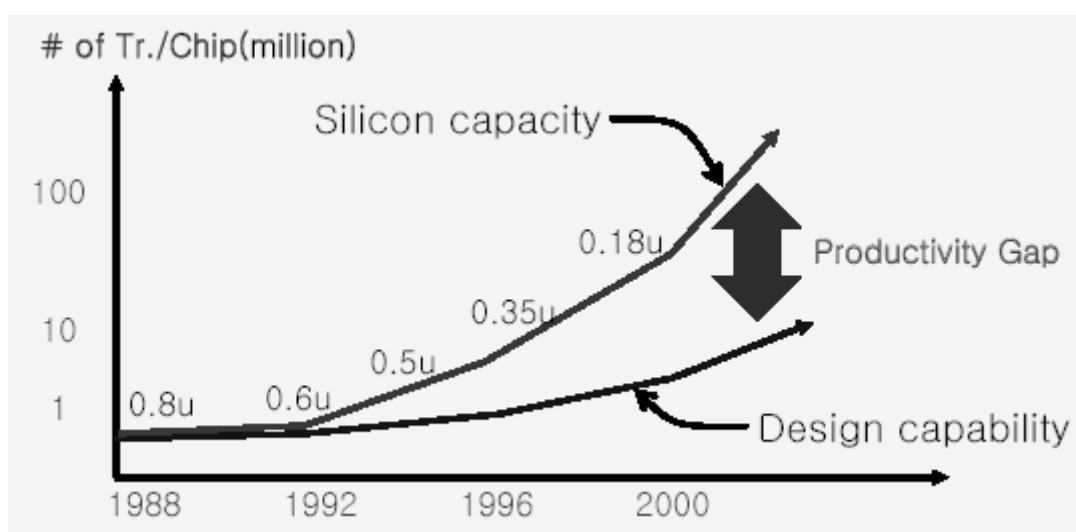


Използването на IP (Intellectual Property, Интелектуална Собственост) модули и тяхното приложение при SoC (System on Chip, Микропроцесорна система реализирана на една интегрална схема). Конфигуриране на PLL (Phase – Locked Loop) модул създаден от Altera Corporation (ALTPLL Megafunction) – по-важни портове и параметри.

1. Въведение в IP (Intellectual Property, Интелектуална Собственост)

IP представлява предварително създаден и проверен модул (блок), който може да се използва при проектирането на СПЛ. IP биват платени и такива, които могат да се използват без заплащане.

Една от основните причини, поради които се създават и използват IP е породена от разликата във възможностите на съвременните интегралните технологии и възможностите на инженерите проектанти. Това се вижда на схемата по-долу.



Използвани понятия и термини са следните.

Silicon capacity – Възможностите на интегралната технология

Design capability – Възможностите на инженерите проектанти

Productivity gap – Разлика в производителността

По оста Y е нанесен броят на транзисторите на интегрална схема в милиони, а по оста X е посочено как се е изменяла интегралната плътност през годините. Вижда се, че инженерите проектанти не могат да използват напълно възможностите, които им се предлагат от интегралната технология т.е. формира се един дисбаланс наречен разлика в производителността. Един от начините за преодоляването на този дисбаланс е използването на предварително създадени и проверени модули наречени IP. Освен това използването на IP довежда до по-малък риск при проектирането на ново изделие или интегрална схема както и до по-кратко време за представянето на продукта на пазара.

IP модулите можем да ги разделим на три вида.

Първият вид е т.нар. неизменяеми IP блокове (Hard IP). Такива могат да бъдат процесорни ядра като например PowerPC или ARM, AMS (Analog Mixed Signal, Аналогови и смесени сигнали) блокове като например АЦП (Аналогово-Цифрови Преобразуватели), ЦАП (Цифрово-Аналогови Преобразуватели), филтри а освен това към тях можем да добавим и паметите. Характерно за неизменяеми IP е, че те са създадени за точно определена интегрална технология, имат точно определено бързодействие, характеризират се с ограничения на създадените капацитети, резистори, индуктивности, симетрия, размери,

точно местоположение на изводите. Освен това при тях е необходимо да се осигури подходящ интерфейс за тяхната функционална и времева проверка.

Като втори тип IP можем да посочим т.нар. гъвкави IP (Soft IP). Това най-често са синтезируеми модули описани на някой от езиките за описание на апаратната част (Verilog или VHDL). Характерно за тях е, че бързодействието им зависи от използваните интегрални схеми и програмни продукти при синтезирането им. Създадени са обикновено и тестови файлове за проверката на гъвкавите IP. Като примери за тези IP могат да се посочат създадени модели на броячи, компаратори, АЛУ (Аритметично-Логическо Устройство), микропроцесорни ядра и т.н.

Съществуват и един междинен вариант IP блокове наречени фирмени IP (Firm IP blocks). Характерно за тях е, че съществува информация за физическото им проектиране в добавка към VHDL или Verilog описанието, в по-малка или по-голяма степен има информация за местото на логическите блокове. При тях има ограничения при използването на друга интегрална технология.

За съжаление има и някои трудности при използването на IP като например проблема свързан със стандартизацията на тези блокове. Друг проблем е въпроса свързан със сигурността т.е. защитата на вече създадените модули от евентуално неразрешено използване. Друг проблем може да възникне с необходимостта от евентуалната промяна на използвания IP. Съществува и риск при използването на недобре проверени IP модули, като е възможно дори тези IP да създадат дефекти при работата на създаденото устройство или интегрална схема.

Едно от местата, където се прилагат IP модулите е при изграждането на SoC (System on Chip, Микропроцесорна система разположена на една интегрална схема).

2. Основни сведения за SoC

SoC се появява в следствие на повишената интегрална плътност при съвременните интегрални технологии както и в резултат от намаляването на времето за представянето на изделието (интегралната схема) на пазара. Те имат следните предимства:

- Намаляване на цената на реализираното устройство.
- Повишаване на бързодействието на електронната система.
- Намаляване на консумираната електрическа мощност.
- Намаляване на размера на реализирания модул.
- Висока надежност на работата на реализираната електронна система.

Дадена SoC трябва да съдържа:

- IP.
- Вграден микропроцесор.
- Вградена памет.
- Различни типове интерфейси (USB, PCI, Ethernet).
- Програмна част намираща се вътре или извън SoC.

Освен това SoC може да съдържа:

- Програмируема апаратна част (FPGA).
- Блокове съдържащи смесени (аналогови и цифрови) сигнали.
- Сензори.

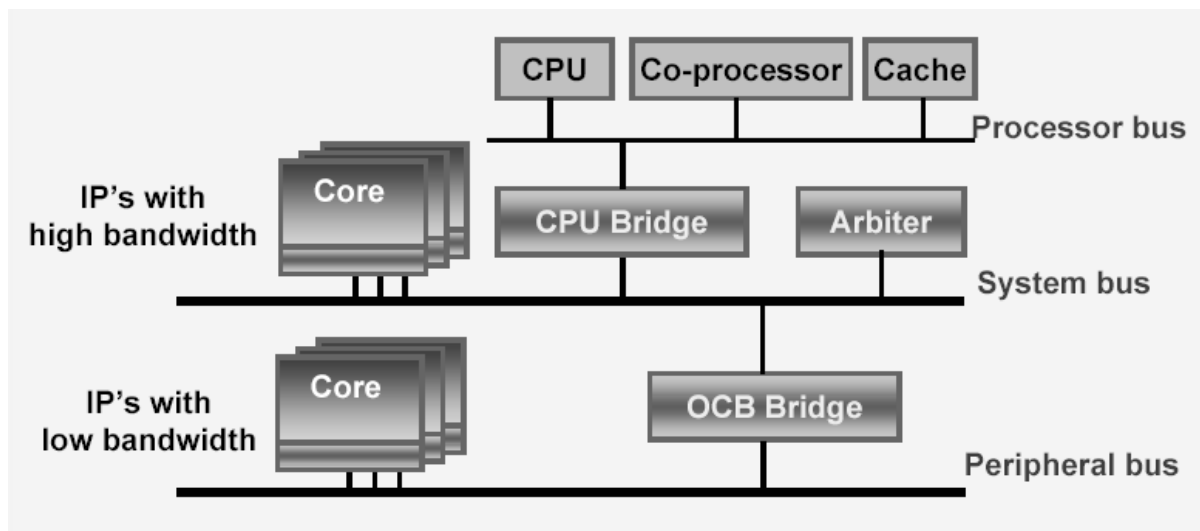
Основният проблем, с който се сблъскват инженерите проектантите на SoC е нейната сложност (съдържа различни компоненти, които се характеризират с много и различни параметри). Начините, да се реализира SoC отговаряща на проектното задание са:

- Да се използват предварително създадени и проверени IP.
- Да се раздели цялата система на по-малки по размер различни функционални единици. По-този начин, сложната схема става по-лесна за проектиране и тестване и същевременно с това по-бързо може да се проектира, като се използват групи от специалисти работещи паралелно.

Разделението може да бъде между апаратна част (Hardware) и програмна част (Software).

- Да се използва моделиране. Създавайки модел на SoC, той може да бъде проверен и да се прецени дали създадената SoC има проблеми при своята работа или работи съобразно проектното задание.

Типична архитектура на SoC е показана на долната фигура.



Използвани понятия и термини са следните.

CPU – процесор

Co-processor – Математически процесор

Bus – Шина (магистрала)

Core – Ядро

Cache – Кеш памет

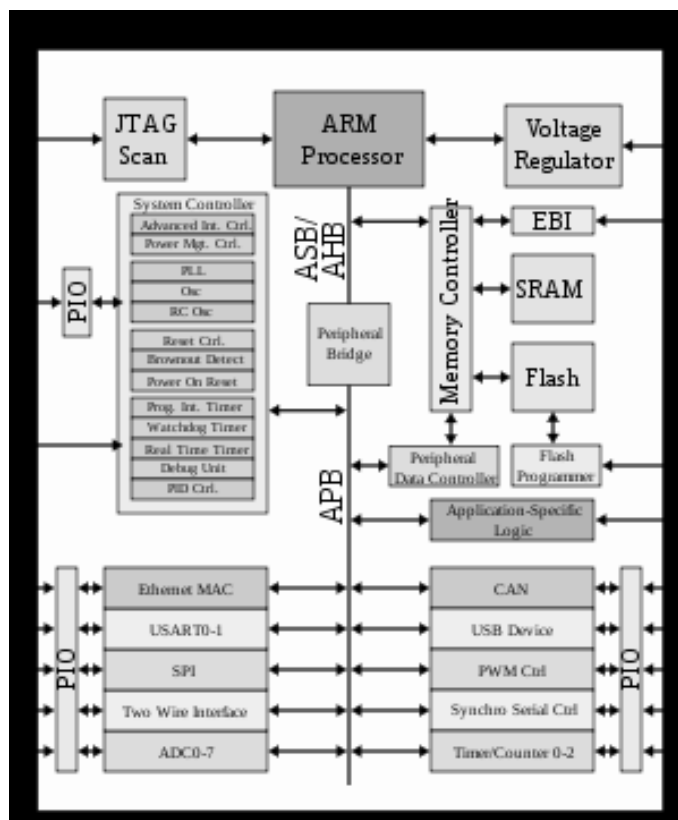
IP's with high bandwidth – Бързодействащи IP

IP's with low bandwidth – IP с по-ниско бързодействие

Bridge – Мост

OCB (On-chip bus) – Шина използваща няколко тактови сигнала

По-долу е показана SoC базирана на микроконтролер.



Съществува и възможността SOPC (System On Programmable Chip, Микропроцесорна система разположена на една програмируема интегрална схема) предлагана от фирмата Altera Corporation. В състава на програмата Quartus II от същата фирма се намира програмен модул наречен SOPC Builder. С негова помощ могат да се изграждат и тестват сравнително бързо SOPC. Предимството на SOPC е възможността да се промени състава на SOPC в процеса на проверка на работоспособността на създадената система. Може да избира между голям брой IP компоненти, както и инженера проектант да създаде свой собствен IP модул.

Могат да използват следните интернет адреси за получаване на допълнителна информация по въпроса за IP и SoC;

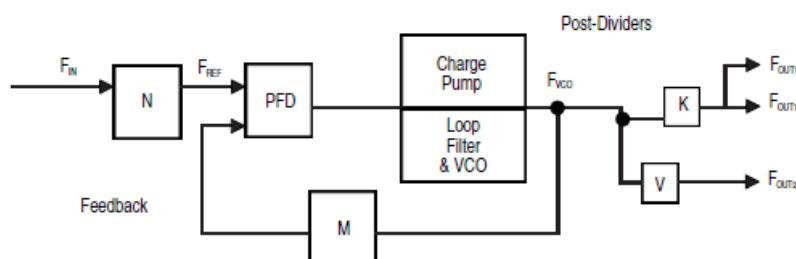
- http://www.opencores.org/browse.cgi/by_category – Тук можете да се разгледат и да се заредят безплатни за използване IP.

- <http://www.altera.com/products/ip/ipm-index.html> - Тук можете да се разгледат и да се използват IP модули създадени от фирмата Altera Corporation.

- <http://www.xilinx.com/ipcenter/index.htm> - Тук можете да се разгледат и да се използват IP модули създадени от фирмата Xilinx.

3. Конфигуриране на PLL (Phase – Locked Loop) модул – по-важни портове и параметри.

PLL представлява електронна управляваща система, предназначена за генериране на тактов сигнал (тактови сигнали). Блокова схема на PLL е показана на фигурата по-долу.



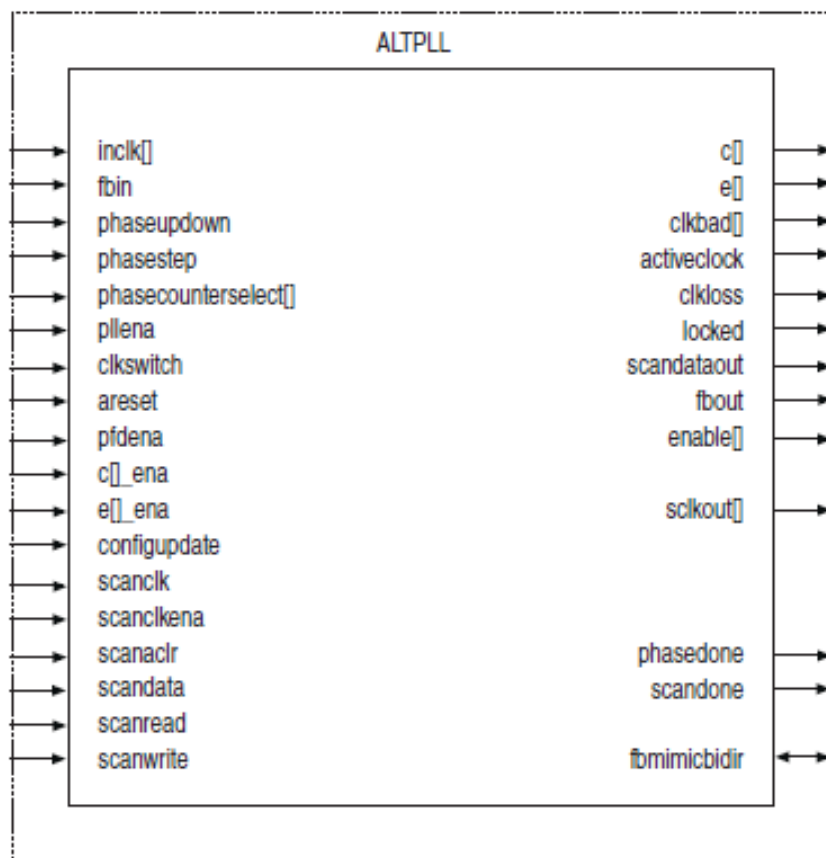
PLL се състои от делител на честота (N разреден брояч), детектор за фазата на честотата (Phase-Frequency Detector – PFD), зареждаща схема (Charge pump), филтър на обратната връзка (Loop filter), генератор управляван с напрежение (Voltage-controlled oscillator (VCO)), брояч в обратната връзка (M разреден брояч) и изходни делители на честота (K и V разрядни броячи).

Детекторът за фазата на честота, когато установи разлика във фазите на честотите на двата входни сигнала (F_{REF} и Feedback) управлява зареждащата схема и филтъра на обратната връзка, така че преобразува разликата във фазите в напрежение. Това напрежение се подава на VCO.

В зависимост от стойността на подаденото напрежение, генераторът управляван с напрежение произвежда тактови импулси с по-ниска или по-висока честота, което променя фазата и честотата на правоъгълните импулси в обратната връзка така че двата входни сигнала (F_{REF} и Feedback) ще бъдат с еднаква честота и фаза (Phase-locked, заключване на фазата).

Честотата F_{REF} се описва с уравнението $F_{REF} = F_{IN} / N$. Честота генерирана от VCO се задава с уравнението $F_{VCO} = F_{IN} * M / N$, а изходната честота на PLL е равна на $F_{OUT} = (F_{IN} * M) / (N * K)$.

Когато е необходимо да се използва PLL при реализиране на цифрово устройство или система посредством програмируема интегрална схема на фирмата Altera Corporation, то може да се използва IP наречено мегафункция ALTPLL. Това е модул, който е реализиран и проверен предварително. Може да се използва като от менюто Tools на Quartus® II се избере възможността MegaWizard Plug-In Manager. На фигурата по-долу е показан примерен такъв модул, като са посочени неговите входни и изходни портове.



В таблицата по-долу са посочени по-важните портове (сигнали), които могат да се използват при конкретната реализация на PLL.

Име на порта (сигнала)	Характеристика	Описание
inclk0	Задължителен за PLL	Входен тактов сигнал.
areset	Незадължителен за PLL	Установява всички броячи в първоначално състояние.
pllena	Незадължителен за PLL	Разрешава работата на PLL.
locked	Незадължителен за PLL	Показва (когато е логическа единица), че двата по-горе споменати сигнала са с еднаква честота и фаза.
inclk1	Незадължителен за PLL	Втори входен тактов сигнал.
clkswitch	Незадължителен за PLL	Служи за избор между двата (inclk0, inclk1) входни тактови сигнала.
c0	Задължителен за PLL	Изход на PLL.

Освен избора на входни и изходни портове, при конкретната реализация на PLL трябва да се зададат основни параметри като например с колко ще бъде умножена честотата на входния тактовия сигнал (clock multiplication factor), на колко ще бъде разделена честота на същия входен тактов сигнал (clock division factor), дали ще има и други (допълнителни) изходи на PLL и т.н. Като краен резултат се получава файл описан с език за описание на апаратната част, който може да се добави и използва в конкретния проект, реализиран с програмния пакет Quartus® II.