

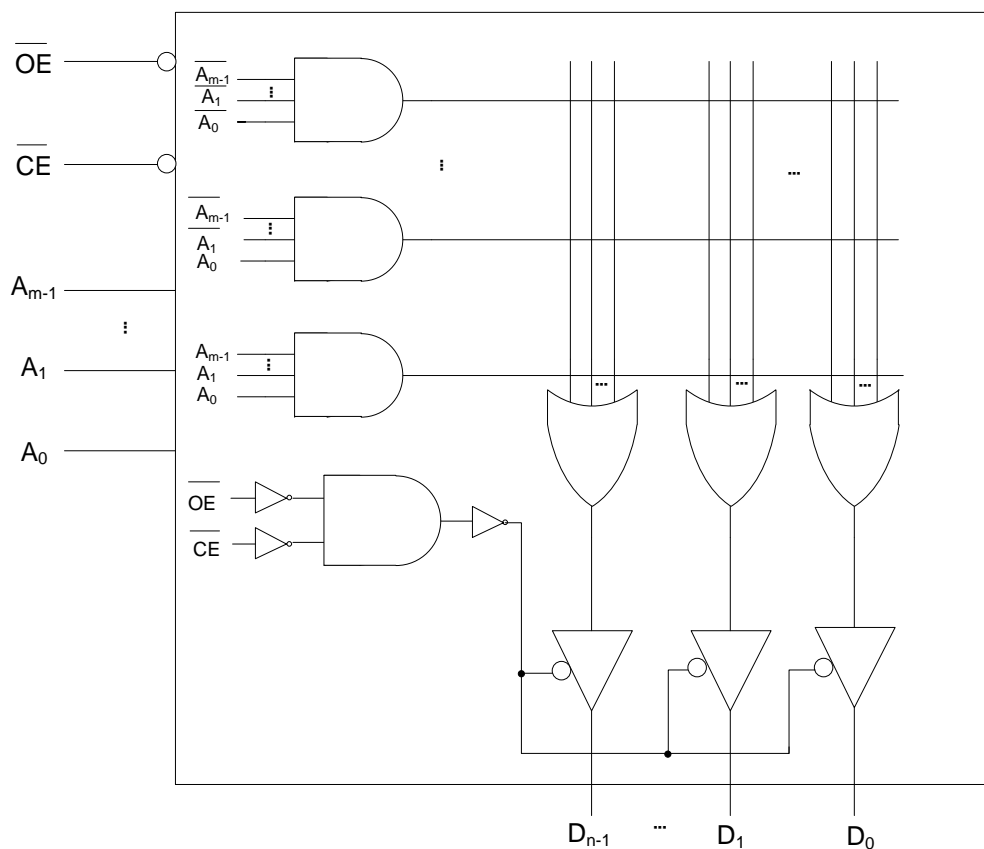
Поява и развитие на програмируемата логика (Reconfigurable Logic).
Интегрални схеми използвани за реализиране на проектното задание.

1. Програмируеми комбинационни логически схеми.

Интегрална схема (ИС), съдържаща голям брой логически елементи, тригери и други електронни компоненти, която може да се конфигурира (програмира) от потребителя така че да изпълнява различни логически функции се нарича програмируемо логическо устройство (Programmable Logic Device – PLD, Field-Programmable Device – FPD).

Първият тип ИС, която може да програмира от потребителя и с която могат да се реализират различни логически функции е памет от тип PROM (Programmable Read-Only Memory, програмируема памет, която се използва основно за четене на информация).

Структурата на памет от тип PROM е показана на фигурата по-долу



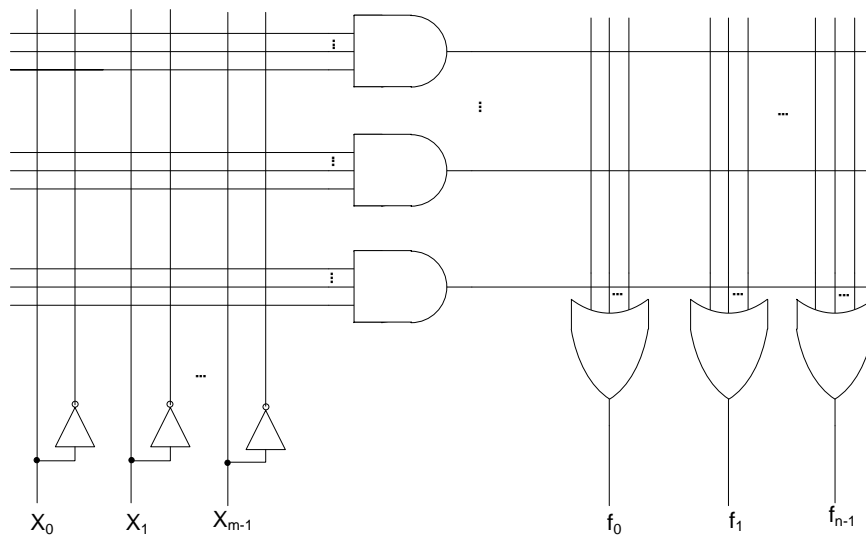
Използваните означения са следните:

- \overline{OE} (Output Enable, разрешение на изхода)
- \overline{CE} (Chip Enable, разрешение на работата на ИС);
- $A_0 - A_{m-1}$ – адресни сигнали;
- $D_0 - D_{n-1}$ – сигнали за данни;

Както се вижда от фигурата по-горе, PROM паметта се състои от логически елементи от тип И (И част) участващи в адресния дешифратор, както и от логически елементи от тип ИЛИ (ИЛИ част). При самото програмиране се реализират връзки между И и ИЛИ частите като И е реализирана предварително (постоянна, фиксирана), докато ИЛИ се свързва към нея.

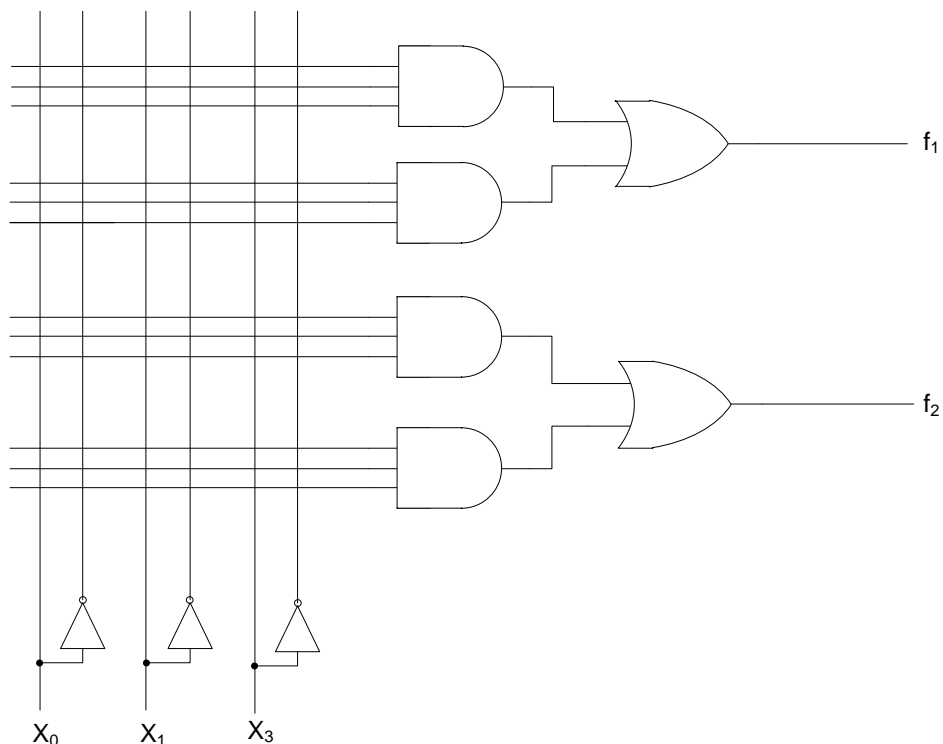
Ако се използват адресните сигнали като входове, а сигналите за данни като изходи при самото програмиране биха могли да се реализират различни логически функции т.е. PROM би могла да се разглежда като програмируемо логическо устройство. При реализирането на логическите функции се използват обикновено няколко логически умножения, докато при PROM са реализирани такива за всички възможни комбинации на входните сигнали. Това прави разглежданата памет неефективна при реализирането на логически схеми, поради което тя рядко се използва в практиката с такава цел.

Първата интегрална схема разработена специално за реализирането на програмируеми логически функции е програмируемата логическа матрица (Programmable Logic Array – PLA). Опростената схема на PLA е показана на фигурата по-долу.



От фигурата по-горе се вижда, че PLA се състои от логическа матрица от тип И (И част) и от логическа матрица от тип ИЛИ (ИЛИ част). Всяка от двете части е програмируема, т.е. всеки вход може да се свърже към съответен проводник на матрицата.

PLA е представена за първи път през 1970 година от фирмата Philips. Основните и недостатъци са високите разходи при нейното производство, както и сравнително ниското и бързодействие. Това е обусловено от съществуването на две нива на програмиране, което затруднява производството им, а освен това предполага по-големи закъснения на сигналите. За да се избегнат тези проблеми е създадена ИС наречена програмируема матрична логика (Programmable Array Logic – PAL). Опростената схема на PAL е представена на следващата фигура.



От фигурата по-горе се вижда, че PAL подобно на PLA се състои от логическа матрица от тип И (И част) и от логическа матрица от тип ИЛИ (ИЛИ част). Разликата е, че при PAL само логическата матрица от тип И е програмируема т.е. всеки от входовете на логическите елементи от тип И може да се свърже с всеки един от входните сигнали или с неговата инверсна стойност. ИЛИ частта е реализирана предварително.

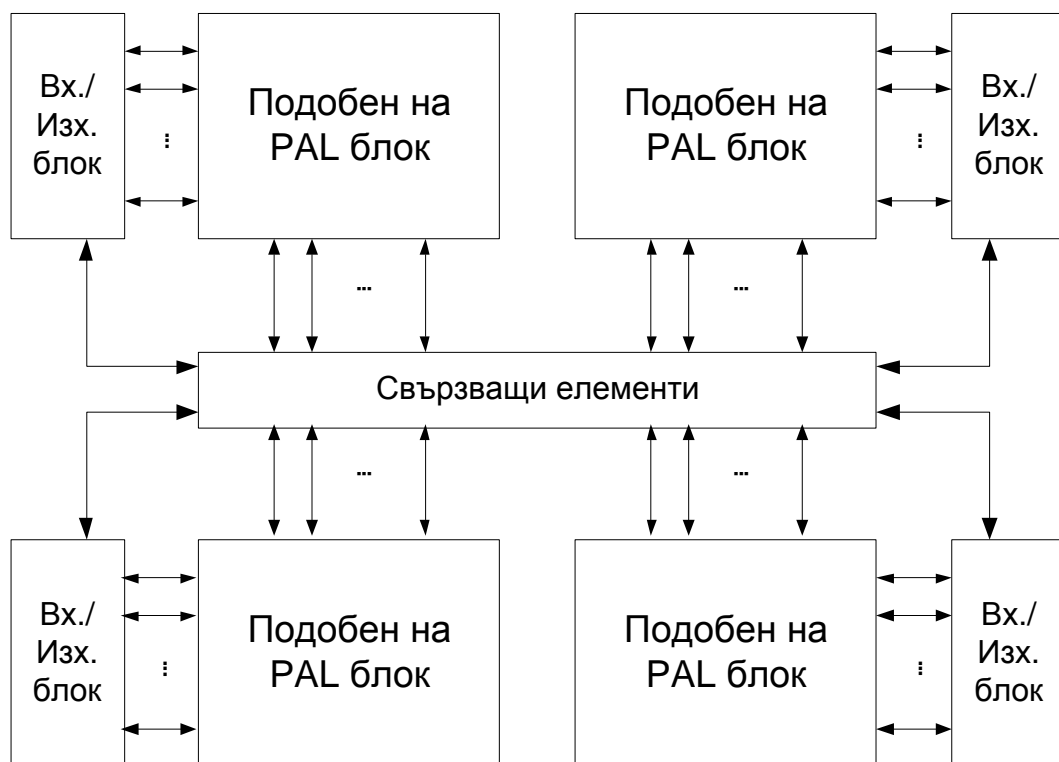
Много често към изходите на логическата матрица от тип ИЛИ при PAL са реализирани допълнителни комбинационни и последователностни логически компоненти като например D-тригер. По този начин с PAL биха могли да се реализират както комбинационни така и последователностни логически схеми (съдържащи елементи памет). Логическият елемент от тип ИЛИ заедно с тези допълнителни компоненти се нарича макро клетка. PAL са по-лесни за производство, по-евтини и с по-голямо бързодействие в сравние с PLA. Възможностите за програмиране са по-малки, тъй като при PAL само И частта е програмируема. За да се компенсира това са произведени PAL с различен брой входове и изходи, както и с различни видове логически елементи от тип ИЛИ.

PROM, PLA и PAL се отнасят към групата на сравнително простите програмируеми логически устройства (Simple Programmable Logic Devices – SPLD). Те дават възможност за реализирането на електронни устройства характеризиращи се с не голяма сложност. Техните най-важни характеристики са ниската им цена и сравнително високото им бързодействие. Най-често тяхното програмиране се извършва, като те се извадят от електронната платка (от куплунга) и се поставят на специализирани устройства наречени програматори.

2. CPLD, FPGA.

Един от начините за усъвършенстване на SPLD е да се интегрират много от тях на една ИС. По този начин са създадени така наречените сложни програмируеми логически устройства (Complex Programmable Logic Devices – CPLD). Структурата на CPLD е показана на фигурата по-долу. От нея се вижда, че CPLD е съставена от подобни на PAL блокове, свързващи елементи, както и от входно/изходни блокове.

Подобните на PAL блокове съдържат макро клетки, непрограмируема ИЛИ част, програмируема И част и допълнителни логически елементи от тип сума по модул 2, които дават възможност за инвертиране на получените двоични стойности. Свързващите елементи също могат да се програмират. Съвременните CPLD съдържат между 2 и 100 подобни на PAL блокове. Освен това броят на изводите на самите ИС е много голям – няколко стотици. Програмирането им се извършва така както са на електронната платка. Използва се JTAG (Join Test Action Group) интерфейс и посредством преобразуването му в друг интерфейс като например USB (Universal Serial Bus, универсална последователна шина) CPLD се свързва към персоналния компютър. Използват се също така и специализирани програми при тяхното програмиране. След като CPLD бъде програмирана най-често информацията не се загубва дори и при отпадане на напрежението в електрическата мрежа т.е. реализираната електронна схема си остава без промяна.

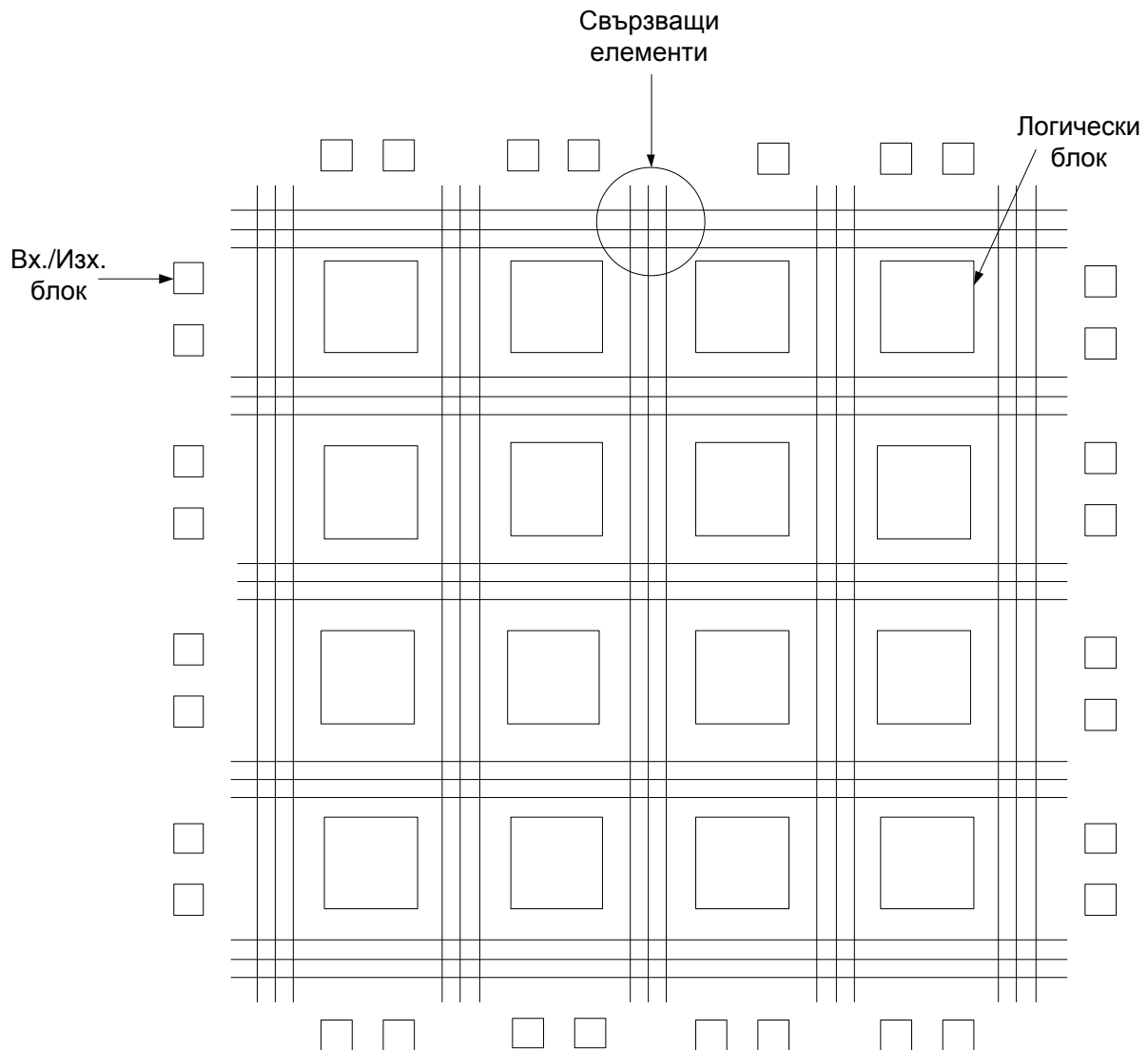


SPLD и CPLD са подходящи за изграждане на относително прости електронни устройства, съдържащи до 20 000 логически елемента (логически елемент от тип И-НЕ с два входа). За реализирането на по-сложни електронни устройства и системи се използват FPGA (Field-Programmable Gate Array). Те не съдържат И и ИЛИ части. В състава на една FPGA влизат три основни компонента:

- Програмируема логическа структура;
- Свързващи проводници и електронни ключове (свързващи елементи);
- Програмируеми входно/изходни блокове;

Структурата на една FPGA е показана на фигурата по-долу. Програмируемата логическа структура се състои от двуразмерна област от конфигуруеми логически блокове (Configurable Logic Blocks – CLB). Всеки един от тях може да бъде програмиран така, че да се реализира произволна логическа функция. Най-често CLB има от 4 до 6 входа. Ако е необходима логическа функция с по-голям брой входни сигнали, ще трябва да се използват повече от един CLB. В допълнение, всеки CLB

съдържа един или два тригера, които са необходими за изграждането на последователностните електронни елементи.



По-сложните електронни схеми съдържат по няколко CLB, като всеки един от тях се конфигурира да изпълнява определена функция. Те се свързват помежду си посредством програмируеми свързващи елементи.

Свързващите елементи съдържат три програмируеми възможности:

- Вертикални и хоризонтални свързващи канали, съдържащи проводници с различна дължина, които ако е необходимо могат да се свържат помежду си;
- Свързващи кутии, които свързват входовете и изходите на CLB с вертикалните и хоризонталните свързващи канали;
- Превключващи кутии, които са разположени там където се пресичат вертикалните и хоризонталните свързващи канали;

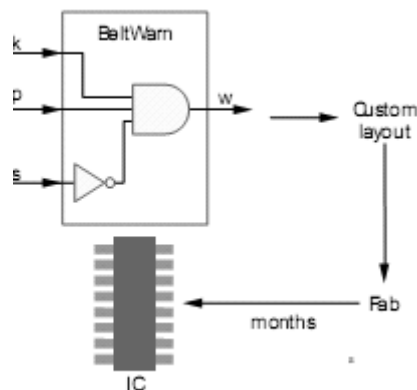
Програмируемите входно/изходни блокове съдържат буфери, които могат да бъдат конфигурирани като входни, изходни или входно/изходни такива. Те позволяват на изходите на FPGA да бъдат входове, изходи или входно/изходни.

3. Интегрални схеми използвани за реализиране на проектното задание.

Интегралните схеми (ИС, IC – Integrated Circuits) представляват електронни схеми с много малки размери реализирани, чрез използване на полупроводникова интегрална технология. Сравнени със електронните схеми съставени от дискретни елементи те притежават по-голямо бързодействие, по-ниска цена, по-висока надежност и т.н. ИС се използват масово при реализиране на съвременни електронни изделия, устройства и системи.

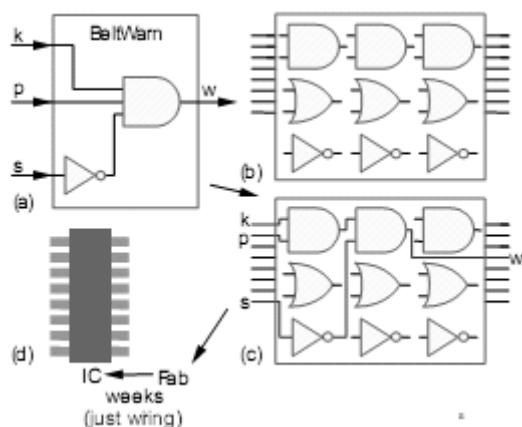
Могат да бъдат използвани различни типове ИС за реализиране на проектното задание, като например:

-Интегрална схема изработена специално за реализиране на проектното задание (ИС по поръчка, Full-Custom ICs). Разработването на нова ИС е извънредно сложен и свързан с много разходи процес, като не са изключени и грешки в процеса на проектирането и изработването. Продължителността може да бъде от няколко седмици до няколко месеца в зависимост от сложността на ИС. Откриването и отстраняването на грешки в изработената интегрална схема може да удължи и оскъпи процеса на нейната изработка. Използването на ИС по поръчка, не е често срещано решение. До подобно решение се прибегва, когато е сигурно, че разработената нова ИС ще се приложи в едросерийно производство на електронно изделие, устройство или система като например интегралните схеми които намират приложение при производството на електронни калкулатори, часовници или персонални компютри. Интегрална схема по поръчка може да се използва и при някои приложения предназначени за военни или космически цели. По-долу е дадена опростена схема на процеса на изработка на ИС по поръчка.



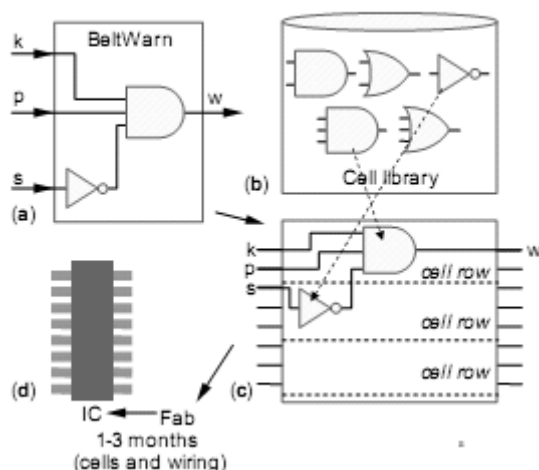
-ИС разработвани за определени области на приложение (Semicustom IC, ASICs (Application – Specific Integrated Circuits). С оглед да се намалят производствените разходи (цената на ИС), както и да се съкрати времето за производство се използват т.нар. ASICs. Два начина за производство на ASICs са възможни – като се използват области от логически елементи (Gate Arrays) или т.нар. стандартни клетки (Standard Cells).

Най-трудната част при производството на ИС е реализацията на MOS транзисторите. Самото им свързване с проводници (опроводяването) им е значително по-лесен процес. Имайки в пред вид това, предварително се създават MOS транзисторите, които по-късно се свързват и изграждат логически елементи. Това е показано на фигурата по-долу.



При реализирането на дадено електронно устройство е необходимо само да се изградят връзките между отделните логически елементи, което отнема по-малко време. Тъй като интегралната схема не е проектирана за точно определен възел или система то в сравнение с предходния начин за проектиране и изработка при този се постигат по-лоши параметри и характеристики като бързодействие, консумирана мощност и енергия, използвана площ от силициевия кристал и други.

Другият начин за производство на ASIC е като се използват стандартни клетки. Тези клетки представляват предварително описани (създадени) логически елементи (клетки), които се намират в библиотека от подобни елементи. Задачата е да се определи, кои и колко клетки от библиотеката да се използват за реализиране на конкретното задание и да се свържат помежду си с проводници. Тук трябва да се каже, че подобна библиотека от елементи, може да се състои от стотици или хиляди разновидности на логически елементи. Опростено, процесът на производство на ИС като се използват стандартни клетки е показан на следващата фигура.



В сравнение с другия начин за производство на ASIC, тук се постига по-голямо бързодействие, по-ниска цена и по-малко използвана площ от силициевия кристал. В сравнение с ИС по поръчка като предимства остават по-ниската цена и по-краткото време за представянето на ИС на пазара.

- Програмируеми ИС

За да реализира дадена електронна схема като се използват споменатите по-горе ИС е необходимо време от няколко седмици до няколко месеца, което е значително време. Ако искаме за по-кратко време да реализираме нашето задание можем да използваме програмируеми ИС. За съжаление, реализираното чрез програмируеми ИС

има недостатъци в сравние с предишните начини на производство като по-ниско бързодействие, по-голяма консумирана мощност и енергия и по-голяма използвана площ от силициевата подложка. Бързото реализиране на електронното устройство или система е тяхното значително предимство.

Най-използваните програмируеми интегрални схеми са CPLD (Complex Programmable Logic Devices, Сложни програмируеми логически устройства) и FPGA (Field-Programmable Gate Arrays, Програмируеми области от логически елементи).

- ИС с ниска и средна степен на интеграция

Когато устройството, което ще се създава, не е много сложно може да използват ИС с ниска или средна степен на интеграция. Типичен пример са интегралните схеми от серията 74, 4000 и други, които намират приложение и в наши дни. Пример за такива ИС са показани на следващите фигури.

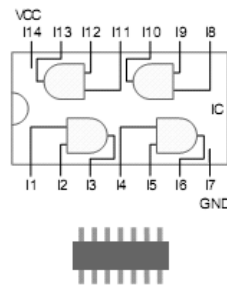


TABLE 7.1: Commonly used 7400-series ICs.

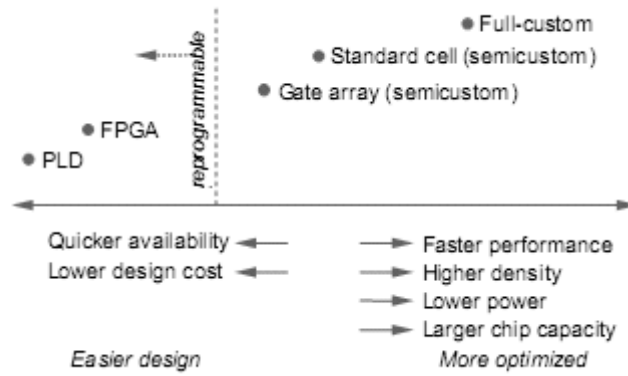
Part	Description	Pins
74LS00	Four 2-input NAND	14
74LS02	Four 2-input NOR	14
74LS04	Six inverters	14
74LS08	Four 2-input AND	14
74LS10	Three 3-input NAND	14
74LS11	Three 3-input AND	14
74LS14	Six inverters (Schmitt trigger)	14
74LS20	Two 4-input NAND	14
74LS27	Three 3-input NOR	14
74LS30	One 8-input NAND	14
74LS32	Four 2-input OR	14
74LS74	Two D flip-flop, positive edge triggered, with preset and reset	14
74LS83	4-bit binary full-adder	16
74LS85	4-bit magnitude comparator	16



Накрая, в графичен вид ще бъдат представени начините за реализиране на дадено проектно задание, както и техните предимства и недостатъци.

TABLE 7.2: Sample % of new implementations in various technologies. Total is more than 100% due to overlap among categories.

Technology	%
Standard cell	55%
Gate array	5%
System-on-a-Chip	30%
Full-custom	10%
CPLD/FPGA	10%
Other	5%



Използваните термини са: Quicker availability – по-бързо реализиране, Lower Design cost – по-ниски цени за проектиране, Faster performance – по-високо бързодействие, Higher density – по-висока степен на интеграция, Lower power – по-ниска консумация на мощност, Larger chip capacity – възможност за реализиране на по-сложни ИС.